

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number:

09223779 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 08054140

(51) Int'l. Cl.: H01L 27/108 H01L 21/8242 H01L 27/10  
H01L 21/8247 H01L 29/788 H01L 29/792

(22) Application date: 16.02.96

(30) Priority:

(43) Date of application publication: 26.08.97

(84) Designated contracting states:

(71) Applicant: TEXAS INSTR JAPAN LTD

(72) Inventor: FUKUDA YUKIO  
AOKI KATSUHIRO  
NUMATA KEN

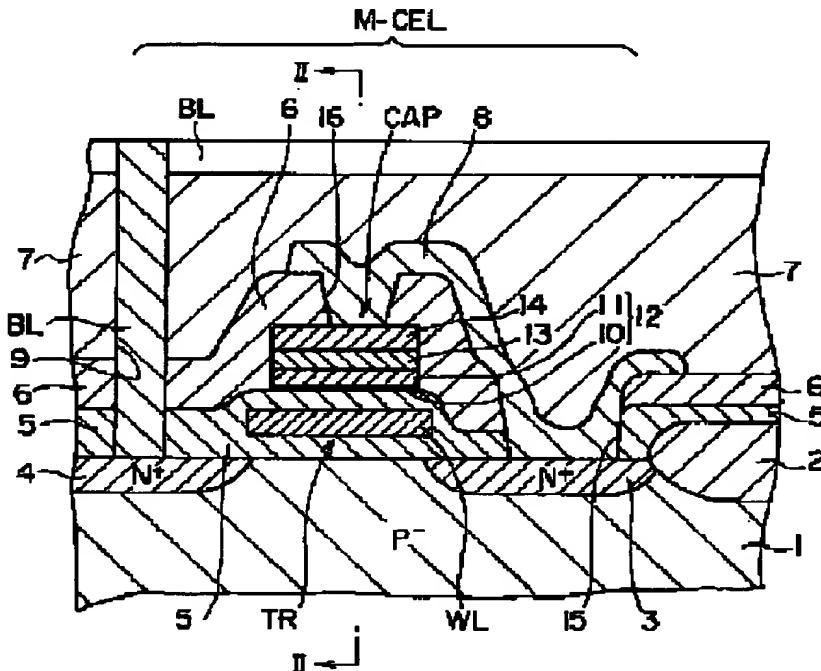
(74) Representative:

## (54) FERROELECTRIC CAPACITOR, WIRING, SEMICONDUCTOR DEVICE, AND THEIR MANUFACTURE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve adhesion to a substratum insulating layer and characteristics of a ferroelectric film, and prevent increase of wiring resistance and disconnection, by a method wherein constituent material of the lower layer of a lower electrode having an upper layer on the ferroelectric film side and a lower layer on the insulating film side contains material to reduce the insulating film, and has a thickness in a specified range.

**SOLUTION:** A Ti thin film 10 of about 0.5–1.0nm in thickness is vapordeposited on an SiO<sub>2</sub> insulating film 5 formed on a substrate, by a vacuum deposition equipment in the ultrayacuum state of at most 1 × 10<sup>-9</sup>Torr. After that, a Pt thin film 11 is formed on the Ti film 10 without exposing the film 10 to the outside air. By vapordepositing the Ti thin film 10 of about monoatomic layer in thickness in an ultravacuum state, in the above manner, the surface of the SiO<sub>2</sub> insulating film 5 is reduced by Ti atoms, and adhesion of the lower electrode 12 to the SiO<sub>2</sub> insulating film 5 is increased. Oxide of material constituting the Ti thin film 10 is prevented from being formed in the Pt thin film 11, so that increase of electric resistance of the Pt thin film 11 and disconnection of a fine part which are to be caused by oxide can be prevented.



**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 9-223779**

[0049] It should be noted that, in this embodiment, the thickness of the Ti thin film 10 is set as small as 0.5 nm to 1.0 nm (for example, approximately 0.5 nm) in comparison with the Pt thin film 11 having a thickness of 100 nm to several hundreds nm. Since the lattice constant of Ti crystal is 0.47 nm (C axis), the thickness of the Ti thin film 10 is equivalent to the single crystal lattice of Ti or the size corresponding thereto.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-223779

(43)公開日 平成9年(1997)8月26日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/108			H 01 L 27/10	6 5 1
21/8242				4 5 1
27/10	4 5 1		29/78	3 7 1
21/8247				
29/788				

審査請求 未請求 請求項の数12 FD (全14頁) 最終頁に続く

(21)出願番号 特願平8-54140

(22)出願日 平成8年(1996)2月16日

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 福田 幸夫

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72)発明者 青木 克裕

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72)発明者 沼田 乾

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

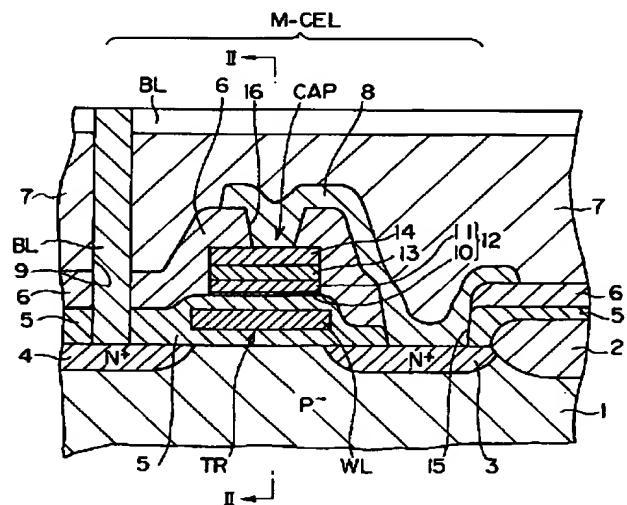
(74)代理人 弁理士 佐々木 聖幸

(54)【発明の名称】 強誘電体キャバシタ、配線、半導体装置及びこれらの製造方法

(57)【要約】

【課題】  $\text{SiO}_2$  絶縁層5の表面に対する密着性を良好にすると共に、キャバシタ下部電極12の抵抗増加が実質的に生じない強誘電体キャバシタを提供すること。

【解決手段】  $\text{SiO}_2$  絶縁層5上に、下層のTi薄膜10と上層のPt薄膜11とからなる下部電極12、PZT膜13及びPtの上部電極14が順次積層されて形成されたキャバシタCAPを有するメモリセルM-CELにおいて、Ti薄膜10の厚さは0.5nm、Pt薄膜11の厚さは100nmとしている。



## 【特許請求の範囲】

【請求項1】 下部電極と、この下部電極上の強誘電体膜と、上部電極とを具備し、絶縁層上に設けられた強誘電体キャパシタであって、前記下部電極が前記強誘電体膜側の上層と前記絶縁層側の下層とを有し、この下層が前記絶縁層を還元する材料を含みかつ 0.5~1.0nm の厚みを有している強誘電体キャパシタ。

【請求項2】 下部電極の下層が、絶縁層に対する還元作用の強い金属からなる、請求項1に記載した強誘電体キャパシタ。

【請求項3】 下部電極の下層がチタン又はアルミニウムからなり、前記下部電極の上層が、白金、イリジウム、ルテニウム、パラジウム、銀及び金からなる群より選ばれた少なくとも1種からなる、請求項1又は2に記載した強誘電体キャパシタ。

【請求項4】 下部電極の下層の構成材料が実質的に酸化されていない状態で絶縁層上に被着されている、請求項3に記載した強誘電体キャパシタ。

【請求項5】 強誘電体膜がチタン酸ジルコン酸鉛系である、請求項1~4のいずれか1項に記載した強誘電体キャパシタ。

【請求項6】 絶縁層上に設けられ、この絶縁層側の下層と上層とを有する配線であって、前記下層が前記絶縁層を還元する材料を含みかつ 0.5~1.0nm の厚みを有している配線。

【請求項7】 請求項2~5のいずれか1項に記載した下部電極の下層及び/又は上層を有する、請求項6に記載した配線。

【請求項8】 請求項1~7のいずれか1項に記載した強誘電体キャパシタ及び/又は配線を有している半導体装置。

【請求項9】 不揮発性メモリである、請求項8に記載した半導体装置。

【請求項10】 絶縁層側の下層を  $1 \times 10^{-9}$  Torr 以下の超真空状態下で前記絶縁層上に形成する、請求項1~9のいずれか1項に記載した強誘電体キャパシタ、配線又は半導体装置の製造方法。

【請求項11】 下部電極の下層を形成した後、大気に曝すことなしに上層を形成する、請求項10に記載した製造方法。

【請求項12】 下部電極の上層及び/又は下層を真空蒸着又はスパッタリングによって形成する、請求項10又は11に記載した製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、強誘電体キャパシタ（特に、チタン酸ジルコン酸鉛（一般にPZTと呼ばれている。）を強誘電体膜として有する半導体メモリセルのキャパシタ）、配線及び半導体装置、並びにこれらの製造方法に関するものである。

## 【0002】

【従来の技術】 例えば、ダイナミックRAMのメモリセルのキャパシタを構成する誘電体膜としては、 $\text{SiO}_2$  と  $\text{Si}_3\text{N}_4$  と  $\text{SiO}_2$  とが順次積層された構造のONO膜が使われることがある。

【0003】 しかし、このONO膜の実効的な比誘電率は約5程度と小さいため、256Mbit以降の大容量メモリに適用した場合、面積的な制約下でキャパシタ誘電体膜の膜厚を薄くしたり、面積を拡張するために複雑な形状が要求される等、プロセス的に大きな困難を伴う。

【0004】 これに対して、ペロブスカイト結晶構造型の強誘電体材料は、比誘電率が数百から数千と極めて大きいことから、将来のダイナミックRAM用のキャパシタの絶縁膜材料として注目されている。

【0005】 強誘電体材料のうち  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  で示されるPZT膜を形成するためには、薄膜形成法としてゾルゲル法、CVD（化学的気相成長法）、スパッタリング法等が採用可能であるが、その中でもゾルゲル法による形成が好適である。

【0006】 ゾルゲル法による成膜においては、調製された原料溶液（ゾルゲル溶液）の良し悪し、成膜工程とその条件、及び基板の選択が最終的に得られる薄膜の電気的特性を決定することになる。

【0007】 図22は、従来の強誘電体薄膜材料の有する残留分極特性を応用した不揮発性メモリのうち、16KビットFRAM（Ferroelectric Random Access Memory）のメモリセルの構造を示す要部の断面図である。

【0008】 図示のように、PZT薄膜キャパシタCAPはワードラインWL上に  $\text{SiO}_2$  絶縁膜5を介して形成されている。PZT薄膜13は、Ti薄膜10AとPt薄膜11とが順次積層されたTi/Pt電極12上に形成されており、そして、このTi/Pt電極12がドライブライン配線を構成している。

【0009】 図23はメモリセルの断面構造を示したものである。このメモリセルでは、P型シリコン基板1の一主面に、フィールド酸化膜2で区画された素子領域が形成され、ここに、MOSトランジスタからなるトランジスタゲートTRとキャパシタCAPとからなるメモリセルM-CELが隣接して一对設けられている。

【0010】 トランジスタゲートTRにおいては、例えばN<sup>+</sup>型ソース領域3とN<sup>+</sup>型ドレイン領域4が不純物拡散でそれぞれ形成され、これら両領域間には絶縁層5に埋設されたワードラインWLが設けられ、ドレイン領域4には  $\text{SiO}_2$  等の絶縁層5、6、7のスルーホール9を介してビットラインBLが接続されている。

【0011】 キャパシタCAPはスタック型と称されるものであって、ワードラインWLの上方に積層され、ソース領域3はコンタクトホール15、16を介してA1配線8により上部電極14に接続される。そして、Ti10A/Pt11からなる下部電極12上にPZT強誘電体膜13及び

上部電極14が順次積層されてキャパシタCAPを構成している。

【0012】キャパシタCAPを構成する強誘電体膜13は、原料溶液を用いてゾルゲル法で形成したPZT、即ちPb(Zr, Ti)O<sub>3</sub>膜からなっている。また、下部電極12は、Ti層10Aの上にPt層11を付着したものからなっている。また、強誘電体膜13と接する上部電極14はPt、Au又はアルミニウム等からなっている。

【0013】このメモリセルM-CELの製造方法を図24～図32によって説明する。

【0014】まず、図24のように、P-型シリコン基板1上に選択酸化法によってフィールド酸化膜2を形成した後、熱酸化法によるゲート酸化膜5a及び化学的気相成長法によるポリシリコンワードラインWLをそれぞれ形成する。更に、フィールド酸化膜2及びワードラインWLをマスクにしてAs等のN型不純物のドーピング（例えはイオン注入）でN<sup>+</sup>型ソース領域3及びドレン領域4をそれぞれ形成する。

【0015】次いで、図25のように全面に化学的気相成長法でSiO<sub>2</sub>絶縁層5を形成する。前記のゲート酸化膜5aは上記SiO<sub>2</sub>絶縁層5と一体になる。

【0016】次に、SiO<sub>2</sub>絶縁層5上に、厚さ数10nmのTi薄膜10Aと厚さ数100nmのPt薄膜11とをこの順にスパッタ法により成膜する。

【0017】次に、図26のように、Pt薄膜11上の全面に亘り、約200nm厚のPZT膜13をゾルゲル法により積層し、このPZT膜13の結晶化のために、酸素雰囲気中でペロブスカイト結晶が生成する温度である600℃以上の温度で加熱処理して焼結（酸化焼結）させる。

【0018】次に、図27のように、PZT膜13上の全面に亘ってPt薄膜をスパッタ法により積層した後、このPt薄膜をバーニングして上部電極14を形成する。

【0019】そして、図28のように、上記の如くにしてSiO<sub>2</sub>絶縁層5上に積層された各膜10A、11、13をバーニングし、上部電極14、PZT膜13及び下部電極12（Pt薄膜11とTi薄膜10A）からなるキャパシタCAPを完成させる。

【0020】次に、図29のように、SiO<sub>2</sub>からなる絶縁層6を化学的気相成長法により全面に堆積させる。

【0021】次に、図30のように、堆積させたSiO<sub>2</sub>絶縁層6に対し、ソース領域3上にコンタクトホール15を、上部電極14上に接続孔16をそれぞれエッチングにより形成する。

【0022】次に、図31のように、コンタクトホール15においてソース領域3に接続するように、更に接続孔16において上部電極14に接続するように、A1をスパッタで形成し、これをバーニングしてA1配線8を形成する。そして、このA1配線8の形成後に、化学的気相成長法でSiO<sub>2</sub>絶縁層7を全面に形成する。

【0023】次に、図32のように、ソース領域4上にエ

ッチングによりコンタクトホール9を形成する。

【0024】最後に、コンタクトホール9から絶縁層7の表面上にA1を被着してビットラインBLを形成し、図23に示したメモリセルを作製する。

【0025】ところが、本発明者は、上記のようにして作製される強誘電体キャパシタCAPには、その作製工程について検討した結果、Ti/Pt膜に望ましくない現象が起こる場合があることを見出した。

【0026】即ち、酸素雰囲気下で600℃以上の温度でPZT13を焼結する工程において、Ti薄膜10A中のTiがPt薄膜11中に拡散、またPt薄膜11中の結晶粒界を介してTiとPtとが激しく相互拡散する。この場合、Pt薄膜11の結晶粒界は酸素原子の拡散を抑制する作用が全くないため、Pt薄膜11の結晶粒界中に激しく拡散したTi原子は酸化され、図33に示すように、Pt層11の表面及び結晶粒界内にTi酸化物TiO<sub>x</sub>からなる析出物17（Ti酸化物は一般に多様な化合物状態をとるため、その酸素比率は特定できない）を形成する。

【0027】このように、Pt薄膜11中に生じたTiO<sub>x</sub>析出物17は絶縁性物質であるため、Ti薄膜10AとPt薄膜11とにより構成される下部電極12又はドライブライン配線の電気抵抗が高くなり、これによって時定数が大となり、回路動作速度の低下を招く。そして、ドライブライン配線が微細化し、この配線の幅がPt薄膜の結晶粒の大きさと同じになった場合には、上記したTiO<sub>x</sub>の析出によって断線が生じる危険性がある。

【0028】以上のことから、下部電極12にはTi薄膜を用いないことが望ましいが、これは次に述べる理由から不可能である。

【0029】第1の理由として、Pt薄膜11とSiO<sub>2</sub>絶縁層5とは密着性が極めて弱いが、Ti薄膜10AはSiO<sub>2</sub>層との密着性が良好であるため、Pt層11の密着不良を補う効果がある。こうしたTi薄膜による密着性の向上は、他の物質によても可能ではあるが、次の第2の理由からみてTiが最も好ましい。

【0030】即ち、第2の理由として、PZT膜13の形成工程において、Pt薄膜11の表面に上記したようにして析出形成されるTiO<sub>x</sub>はPZT膜13の結晶化の際の結晶核として作用するので有利であるが、Pt層11単層の膜（Ti薄膜なし）上にPZT膜13を形成した場合には、強誘電特性を示すペロブスカイト構造のPZT薄膜結晶は得られ難いことが判明している。

【0031】

【発明が解決しようとする課題】本発明は、上記の事情に鑑みてなされたものであって、必須不可欠なTi等をキャパシタの下部電極に用いて、下地絶縁層との密着性及び強誘電体膜の特性をそれぞれ向上させると同時に、Ti等の欠点である配線抵抗の増大及び断線の問題を解消した強誘電体キャパシタ、配線、及びこれらの少なくとも一方を有する半導体装置、並びにこれらの製造方法

を提供することを目的としている。

【0032】

【課題を解決するための手段】本発明者は、例えば、酸素分圧比が極めて低い超真空状態下で単原子層厚程度又はこれと同等のTi薄膜をSiO<sub>2</sub>層上に堆積させることにより、SiO<sub>2</sub>層の表面が化学的に極めて活性なTi原子によって還元され、Ptとの密着性に優れた表面状態に改質され、かつ、Pt薄膜中にTiO<sub>x</sub>が実質的に生成しないことを見出し、本発明に到達したのである。

【0033】即ち、本発明は、下部電極と、この下部電極上の強誘電体膜と、上部電極とを具備し、絶縁層上に設けられた強誘電体キャパシタであって、前記下部電極が前記強誘電体膜側の上層と前記絶縁層側の下層とを有し、この下層の構成材料が前記絶縁層を還元する材料を含みかつ0.5~1.0nmの厚みを有している強誘電体キャパシタに係るものである。

【0034】本発明は、絶縁層上に設けられ、この絶縁層側の下層と上層とを有する配線であって、前記下層が前記絶縁層を還元する材料を含みかつ0.5~1.0nmの厚みを有している配線をも提供するものである。

【0035】本発明はまた、上記した強誘電体キャパシタ及び/又は配線を有している半導体装置をも提供するものである。

【0036】本発明はまた、絶縁層側の下層を1×10<sup>-9</sup>Torr以下の超真空状態下で絶縁層上に形成する、上記した強誘電体キャパシタ、配線又は半導体装置の製造方法をも提供するものである。

【0037】

【発明の実施の形態】本発明に基づく強誘電体キャパシタにおいて、前記下部電極の下層が、前記絶縁層に対する還元作用の強い金属からなることが望ましい。

【0038】即ち、前記下部電極の下層がチタン又はアルミニウムからなり、その上層が白金、イリジウム、ルテニウム、パラジウム、銀及び金からなる群より選ばれた少なくとも1種からなるのが望ましい。

【0039】また、本発明に基づく強誘電体キャパシタにおいて、前記下部電極の下層の構成材料が実質的に酸化されていない状態で絶縁層上に被着されていることが望ましい。

【0040】また、本発明に基づく強誘電体キャパシタにおいて、強誘電体膜がチタン酸ジルコン酸鉛系であることが望ましい。

【0041】本発明に基づく配線において、前記下層がチタン又はアルミニウムからなり、上層が白金、イリジウム、ルテニウム、パラジウム、銀及び金からなる群より選ばれた少なくとも1種からなり、前記下層が前記絶縁層に対して還元作用のあることが望ましい。

【0042】本発明に基づく半導体装置は、不揮発性メモリとして構成することができる。

【0043】また、本発明に基づく製造方法において、前記下層を形成した後、大気に曝すことなしに前記上層を形成するのが望ましい。

【0044】また、本発明に基づく製造方法において、前記上層及び/又は前記下層を真空蒸着又はスパッタリングによって形成するのが望ましい。

【0045】

【実施例】以下、本発明の実施例を説明する。

【0046】まず、図1、及び図1のII-II線断面図である図2について、第1の実施例によるPZT薄膜を有する強誘電体キャパシタCAPと、これを組み込んだ半導体デバイス、例えば不揮発性記憶素子であるダイナミックRAMを概略的に説明する。

【0047】このデバイス44においては、先に説明した図22の従来例と基本的構造は同じであり、シリコン基板1上に例えばN<sup>+</sup>型ソース領域3とN<sup>+</sup>型ドレイン領域4が不純物拡散でそれぞれ形成され、これら両領域間に絶縁層5に埋設されたワードラインWLが設けられ、ドレイン領域4にはコンタクトホール9を介してビットラインBLが接続されている。

【0048】キャパシタCAPはスタック型と称されるものであって、絶縁層5のワードラインWL上の部分に、下層のTi薄膜10と上層のPt薄膜11とからなる下部電極12(ドライブライン配線)、PZT膜13及び上部電極14が順次積層されている。

【0049】この例で注目すべきことは、100nm~数100nm厚のPt薄膜11に対し、Ti薄膜10の厚さを0.5nm~1.0nm(例えば0.5nm程度)と極めて薄くしていることである。Tiの結晶の格子定数は0.47nm(c軸)であるから、この例によるTi薄膜10の厚さはTiの単結晶格子又はこれと同等の大きさにはほぼ等しい厚さである。

【0050】キャパシタCAPはSiO<sub>2</sub>の絶縁層6で覆われており、上部電極14はA1配線8によりコンタクトホール15、16を介してソース領域3に接続され、この配線を含むキャパシタCAP上はSiO<sub>2</sub>の絶縁層7により被覆されている。

【0051】図5は、1ビット分のメモリセル構造を示しており、2個のMOSトランジスタTRと2個のPZT薄膜キャパシタCAPとで構成されている。上記した図1はこの一方のMOSトランジスタTRとPZT薄膜キャパシタCAPの構造を示すものである。

【0052】図3は、図5におけるメモリセルの断面構造(一方のビットラインは省略)を示し、その要部を示した図4の平面図におけるIII-III線断面図である。

【0053】次に、図6、図7によって下部電極12の形成の手順を説明する。

【0054】まず、図6に示すように、熱酸化法や化学的気相成長法(CVD)等により、基板(図示省略)上に形成されたSiO<sub>2</sub>絶縁層5の上に、Ti薄膜10を厚さ0.5nm程度に真空蒸着法(スパッタリング法でもよ

い。)により成膜する。このとき、例えば蒸着装置の真空度は、ハース(蒸発源収容部)より蒸発したTi原子が装置内の残留酸素によって酸化されないように、 $1 \times 10^{-9}$ Torr以下に設定することが重要である。

【0055】更に、上記のようにしてTi薄膜10を形成した基板は、大気に曝すことなく、同じ装置により連続して図7のように厚さ100nmのPt薄膜11を積層する。

【0056】このようにして形成したPt薄膜11は、Ti薄膜10の存在により絶縁層5に対する密着性に優れ、以後の工程における熱処理やパターニング工程においても安定した性質を示す。また、王水等のPt用エッチング液以外の薬品に対しても安定している。特に、Ti薄膜10は0.5nmと極薄であるため、次の(1)、(2)に示す顕著な作用効果を奏する。

【0057】(1) Tiは酸素との親和力が極めて強いので、Ti薄膜10は、SiO<sub>2</sub>絶縁層5との界面においてSiO<sub>2</sub>を還元するため、Pt-SiO<sub>2</sub>間は金属同士の接合に近くなつてその密着性が良好になる。

【0058】(2) この際、Ti自らは酸化してTiO<sub>x</sub>となるが、Ti薄膜10は厚さが0.5nmと極めて小さく、Tiの量が僅かであるため、PZT焼結等の熱処理時にPt薄膜10中にTiが拡散する量は実質的になく、TiO<sub>x</sub>の析出はPt中に生じない。この結果、Pt薄膜11(従つて下部電極12)の電気抵抗の増大や微細化時の断線が起こることはない。

【0059】なお、Pt層11の表面にTiO<sub>x</sub>を改めてスパッタすれば、これを核にしてそのPt上に形成されるPZT薄膜はペロブスカイト結晶構造を示し、その電気的誘電特性も、従来のTi/Pt膜上に形成したPZT膜と比べても遜色がない。

【0060】即ち、Pt薄膜11上にTiO<sub>x</sub>ターゲットを用いたRFスパッタリング法により膜厚0.01~10nm(例えは2nm)のTiO<sub>x</sub>を0.5~500nmのクラスタ径で堆積させることにより、酸化チタン(TiO<sub>x</sub>)を核付けしたPt電極11とし、この上にゾルゲル法によってPZT膜13を形成すると、Pt膜上のTiO<sub>x</sub>はPZT結晶化の結晶核として作用するため、このPZT膜は強誘電特性を示すペロブスカイト構造となる。このTiO<sub>x</sub>核付けについては、本出願人が特願平7-47863号として既に提案した。

【0061】次に、上記した実施例によるメモリセルM-CELの製造方法を図8~図16により説明するが、既述したように本実施例は従来例と基本的な構造及び構成は同じであり、その製造工程もほぼ同様である。従つて、本実施例と従来例と特に異なる点を中心に説明する。

【0062】まず、図8のように、化学的気相成長法CVDにより絶縁層5を形成するまでは前述した従来法と異なるところはない。しかし、本実施例においては、この絶縁層5上に $1 \times 10^{-9}$ Torr以下の超真空状態の真空蒸

着装置により厚さ0.5nm程度のTi薄膜10を蒸着し、引き続き、大気に曝すことなしに同じ装置内でTi薄膜10の上に数100nm厚のPt薄膜11を形成する。

【0063】このように、単原子層厚程度のTi薄膜を超真空状態で堆積させることにより、SiO<sub>2</sub>絶縁層5の表面がTi原子によって還元され、下部電極12のSiO<sub>2</sub>絶縁層5に対する密着性が高められる。

【0064】次に、図9のように、PZT膜13をゾルゲル法により積層する。

【0065】即ち、下部電極を含め全面にスピニコート法又はディップコート法によって、ゾルゲル原料溶液を塗布した後、所定の温度(100~300°C、例えは170°C)で例えは3分間加熱し、塗布した溶液の乾燥を行い、乾燥ゲル膜を形成する。

【0066】次いで、乾燥を完了した基板を480°Cで処理して非晶質化した。そして、大気中でペロブスカイト結晶が生成する温度(600°C以上、例えは600°C)で例えは10分間焼結(酸化焼結)し、強誘電体膜(PZT)13を全面に形成する。

【0067】なお、PZT膜13を所定の膜厚(例えは200Å)に形成するには、必要に応じて上記の塗布工程と乾燥工程と焼結工程とを繰り返し、一度に目的とする塗布厚にするのではなく、乾燥膜を積層して最終膜厚を得ることができる。

【0068】このPZT膜13の形成において、図8の工程でTi薄膜10が超真空状態で単原子層厚程度の0.5nm厚に設けられていることにより、PZT膜13の焼結工程においても、前記したようにPt薄膜11内にTiO<sub>x</sub>析出物は生成しない。即ち、PZT膜13の焼結の際に、Ti薄膜は極めて薄くてそのTi原子数は少ないためにPt薄膜11の結晶粒界を通してTi原子が拡散することができず、Pt薄膜11内に既述した如き酸化析出物が実質的に生成しない。そして、Ti薄膜11によって、下部電極12はSiO<sub>2</sub>絶縁層5に対し十分な接着力を示すようになる。

【0069】次に、図10のように、従来と同様の方法によりPZT膜13上にPtによる上部電極14を形成する。

【0070】次に、図11のように、従来と同様のフォトリソグラフィ技術によりPZT膜13、下部電極12をエッチングしてキャバシタCAPを形成する。

【0071】次に、図12のように、従来と同様の方法によりSiO<sub>2</sub>絶縁層6を全面に堆積させる。

【0072】次に、図13のように、従来と同様の方法により、ソース領域3上にコンタクトホール15を、上部電極14上にコンタクトホール16をそれぞれ形成する。

【0073】次に、図14のように、従来と同様の方法により、ソース領域3及び上部電極14に接合するA1配線8を形成後にSiO<sub>2</sub>絶縁層7を全面に形成する。

【0074】次に、図15のように、従来と同様の方法によりドレイン領域4上にスルーホール9を形成する。

【0075】次に、図16のように、スルーホール9に例えればポリシリコンを充填してビットラインBLのコンタクト部分BL'を形成し、このBL'にビットラインの主配線BLを接続し、図3に示したダイナミックRAMを作製する。

【0076】以上のようにして作製した下部電極12は、SiO<sub>2</sub>絶縁層5に密着するTi薄膜10を従来とは全く異なって0.5~1.0nmと極薄としているにも拘らず、SiO<sub>2</sub>絶縁層5との密着性に優れ、かつ下部電極の抵抗増加が実質的に生じない。このことは、上述したように、従来の下部電極において問題となったPt薄膜11中のTiO<sub>x</sub>の析出が、本実施例によれば起こらないことによるものである。この事実は次の測定結果から確認されている。

【0077】即ち、Ti薄膜の膜厚を設定する目的で、SiO<sub>2</sub>層上に厚さの異なるTi薄膜（厚さ0.5nm、1.0nm、2.0nm、5.0nm）を形成した後、厚さ100nmのPt薄膜を形成し、酸素雰囲気中で500°Cの温度で1時間の加熱処理を施した後、Pt薄膜の表面をオージェ電子分光法で観測し、Ti原子の有無を検出した。

【0078】この結果、Ti薄膜の膜厚が0.5nm（Tiの格子定数は0.47nm）の場合でも、Pt薄膜表面でTi原子の表面析出が観測された。つまり、Ti薄膜の膜厚は、Pt薄膜とSiO<sub>2</sub>層との密着強度が得られるTi薄膜の最小限の厚さは、0.5nmであると言える。そして、図17に示す表面オージェ分析結果に見られる20nmのSiO<sub>2</sub>上に0.5nmのTi薄膜、更にその上に100nmのPt膜で構成される本実施例の電極構造は、Pt薄膜内にTiO<sub>x</sub>の析出物が生成せず、しかもPt薄膜の絶縁層への密着性を高める効果を奏している。

【0079】このTi薄膜は、Ti単結晶格子の厚さ（即ちc軸の格子定数に近い0.5nm）程度が、上述したTiO<sub>x</sub>のPt膜中の析出を防止する上で好ましいのであるが、この厚さは1.0nmまで許容される。

【0080】以上、説明したように、SiO<sub>2</sub>層に対して接着性の悪いPt薄膜の接着性を高めるために下部電極の下地層として必要なTi薄膜は、従来のように数10nmの膜厚では厚すぎて、Pt薄膜内にTiの酸化物が析出し、これが電気抵抗上昇の要因となる。これに対し、本実施例によれば、SiO<sub>2</sub>層上に単原子厚程度(0.5nm)又はこれと同等のTi薄膜を酸素分圧比が極めて低い超真空状態で堆積させ、更にこれを大気に曝すことなくこの上にPt薄膜を形成させることにより、Pt薄膜内にTi酸化物が析出せず、しかもSiO<sub>2</sub>層に対するPt薄膜の密着性を確保する効果は顕著である。

【0081】なお、PZT膜13の形成前に、Pt膜11上に核としてTiO<sub>x</sub>をスパッタ法等で堆積させておくと、このTiO<sub>x</sub>で核付けしたPt上に形成したPZT薄膜の漏れ電流値は印加電圧に依存せず、ほぼ一定であることが分かる。また、得られたPZT膜について、残

留分極密度及び抗電界値は十分であった。

【0082】この場合、Pt上のTiO<sub>x</sub>核の粒径は通常0.5~500nmであり、5~200nmが望ましいが、TiO<sub>x</sub>の粒径があまり小さくても大きくても、核付けの効果に乏しくなる。また、TiO<sub>x</sub>の膜厚は通常0.01~10nmであり、0.5~5nmがよく、1.5~2.5nmが更によいが、あまり膜厚が薄すぎると核付けの効果に乏しく、厚すぎるとTiが膜中で凝集（偏析）して不均一な膜となり易い。

【0083】上記した第1の実施例における強誘電体キャバシタCAPの下部電極12の下部電極の構造は、図22に示した従来の半導体基板上の配線、例えばビットラインBLにも適用することができる。図18~図20は、この配線をビットラインBL（具体的には、コンタクト部BLa以外の配線部分BLb）に適用した第2の実施例を示すものである。

【0084】即ち、この実施例においては、上述した第1の実施例における下部電極12の薄膜形成におけると同じ要領で、図18に示すように、SiO<sub>2</sub>絶縁層7上に超真空状態下で厚さ0.5nm~1.0nm、例えば0.5nm程度のTi薄膜18を形成する。

【0085】次に、図19のように、Ti薄膜18上に100nm厚若しくはそれ以上のPt薄膜19を積層してから、両薄膜18、19をパターニングしてビットラインを形成する。この配線によりビットラインにおいても、前記第1の実施例の下部電極12/PZT層13におけると同様の良好な導電性が得られる。

【0086】この例によれば、ビットラインの下層にTi薄膜18を用いたので、ビットラインBLにおいて十分な導電性、即ち動作速度が得られる。

【0087】この実施例の場合、本発明を配線に適用したものであるが、配線の形成時に或いはその後の工程において加熱を伴うことがあるため、下層のTi膜が本発明に基づいて0.5~1.0nmと極薄にしていることによって、絶縁層に対する接着力が十分になる上に、上層でのTiO<sub>x</sub>の析出がなく、その導電性を十分に保持することができる。

【0088】図21は、本発明の第3の実施例によるダイナミックRAMの要部の断面図であって、キャバシタCAP及びビットラインに上記した本発明に基づく構造を適用した場合の例である。

【0089】図示の如く、この実施例は図1で説明した第1の実施例によるメモリセルにおいて、コンタクトホール9の領域にはポリシリコンを用いてビットラインBLをコンタクト部分BLaを設け、更に、ビットライン主部BLbには0.5nm厚のTi薄膜18と、この上に100nm厚又はそれ以上のPt薄膜19とを積層してビットラインBLを形成している。

【0090】この実施例によれば、キャバシタCAPの下部電極だけでなく、ビットライン主部BLaにおいて

も薄膜18によるSiO<sub>2</sub>絶縁層7表面の還元作用と共に、以後の熱処理やバターニング工程における加熱によっても、Pt薄膜19内のTi酸化物の析出現象が起こらず、下部電極12におけると同様の導電性が確保される（これは、上記の第2の実施例でも同様）。

【0091】この実施例においても、上記の第1の実施例及び第2の実施例と同様の効果が得られ、下部電極12における良好な導電性に加えて、ビットラインBLにおいても良好な導電性が得られるという二つのメリットが実現される。

【0092】以上、本発明の実施例について説明したが、本発明の技術思想に基づいて種々の変形を上記実施例に加えることができる。

【0093】例えば、上述の例で使用した下層材料としてTiに代えて、SiO<sub>2</sub>絶縁層とPt層との間に同じく還元作用が極めて強いアルミニウム（Al）（格子定数0.405nm）を用いても同等の効果が期待できる。この効果はSiO<sub>2</sub>以外の絶縁層に対しても有効である。

【0094】更に、Pt同様に耐酸化性に優れたIr、Ru、Pd、Ag、Au等はSiO<sub>2</sub>層との密着性が極めて悪く、これらを材料とする電極や配線を形成する場合にも、その下層としてTi及びAlが適用可能である。

【0095】上記の実施例は、スタック型の強誘電体キャパシタに本発明を適用したものであるが、本発明は、トレンチ型の強誘電体キャパシタにも同様に適用できる。

【0096】また、本発明に基づくキャパシタは、ワードラインWL上にキャパシタが配置されているので、集積度の向上に有利ではあるが、これに限らず、N<sup>+</sup>型領域3上にキャパシタが配置されているタイプにも適用できる。

【0097】キャパシタ及び配線を形成するための材料も種々に変えてよい。例えば、強誘電体薄膜は、PZT以外の例えばナイトライドを材料として使用することもできる。

【0098】更に、本発明に基づく配線は、キャパシタ以外の種々のデバイスの配線にも同様に適用可能である。

【0099】

【発明の作用効果】本発明は、上述した如く、絶縁層上に設けられた導電層が上層と前記絶縁層側の下層とを有し、この下層の構成材料が前記絶縁層を還元する作用を有し、かつ0.5nm～1.0nmの厚みに形成されているので、この下層を構成する材料が絶縁層を還元して絶縁層との接着性を高めると共に、前記下層を構成する材料の酸化物が前記上層内に生成することが防止され、この酸化物による前記上層の電気抵抗の増大や微細化時の断線が実質的に起こらず、良好な導電性を確保することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による強誘電体キャパシタを組み込んだダイナミックRAMのメモリセルの要部を示す拡大断面図である。

【図2】図1のII-II線断面図である。

【図3】一对のメモリセルを組み込んだ同ダイナミックRAMの要部を示す拡大断面図（図4のIII-III線断面図）である。

【図4】同ダイナミックRAMの要部平面図である。

【図5】同メモリセルの1ビット分の等価回路図である。

【図6】同強誘電体キャパシタの下部電極の成膜における第1工程を示す要部の拡大断面図である。

【図7】同下部電極の成膜における第2工程を示す要部の拡大断面図である。

【図8】同強誘電体キャパシタを組み込んだダイナミックRAMのメモリセルの製造方法の一工程段階を示す拡大断面図である。

【図9】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図10】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図11】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図12】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図13】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図14】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図15】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図16】同メモリセルの製造方法の更に他の一工程段階を示す拡大断面図である。

【図17】同メモリセルにおける下部電極（Si/SiO<sub>2</sub>（200nm）/Ti（0.5nm）Pt（100nm）の構造）の表面分析オージェ信号分析グラフである。

【図18】本発明の第2の実施例による配線の成膜の第1工程を示す要部の拡大断面図である。

【図19】同配線の成膜の第2工程を示す要部の拡大断面図である。

【図20】同配線をビットラインとして組み込んだダイナミックRAMのメモリセルの要部を示す拡大断面図である。

【図21】本発明の第3の実施例による強誘電体キャパシタ及び配線を組み込んだダイナミックRAMのメモリセルの要部を示す拡大断面図である。

【図22】従来のダイナミックRAMのメモリセルの要部を示す拡大断面図である。

【図23】同メモリセルの要部を示す拡大断面図である。

【図24】同強誘電体キャパシタを組み込んだダイナミックR.A.Mのメモリセルの製造方法の一工程段階を示す拡大断面図である。

【図25】同メモリセルの製造方法の一工程段階を示す拡大断面図である。

【図26】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図27】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図28】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図29】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図30】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図31】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図32】同メモリセルの製造方法の更に他の一工程段階を示す拡大断面図である。

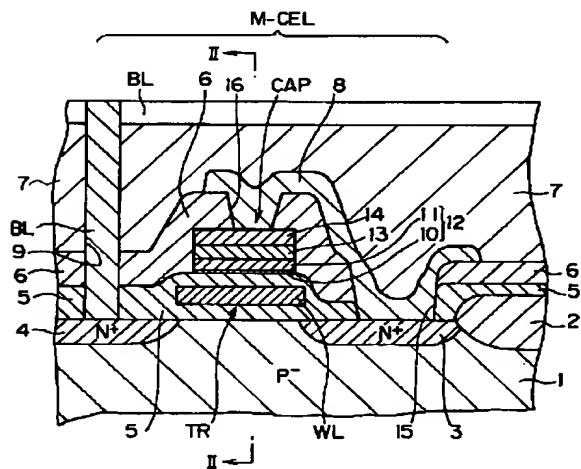
【図33】同メモリセルの強誘電体キャパシタの下部電極におけるTi酸化物の析出現象を説明する概略拡大断面

図である。

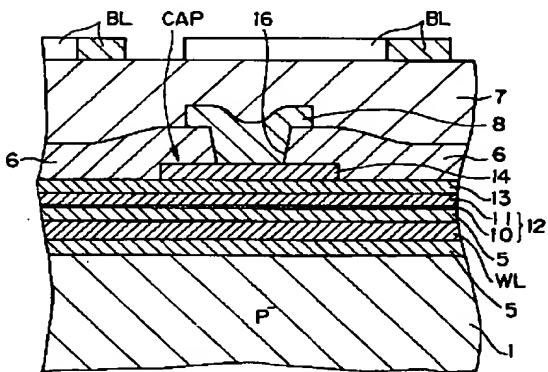
### 【符号の説明】

1 . . . シリコン基板 (ウエハ)  
 3 . . . N<sup>+</sup> 型ソース領域  
 4 . . . N<sup>+</sup> 型ドレイン領域  
 5、6、7 . . . SiO<sub>2</sub> 絶縁層  
 8 . . . A1配線  
 9、15、16 . . . コンタクトホール  
 10、18 . . . Ti層  
 11、19 . . . Pt層  
 12 . . . Ti/Pt下部電極  
 13 . . . PZT層  
 14 . . . 上部電極  
 17 . . . TiO<sub>x</sub> 析出物  
 BL . . . ビットライン  
 BLa . . . ビットラインコンタクト部  
 BLb . . . ビットライン主部  
 WL . . . ワードライン (ゲート電極)  
 CAP . . . 強誘電体キャパシタ  
 TR . . . トランスマスファゲート  
 M-CEL . . . メモリセル

〔 1 〕

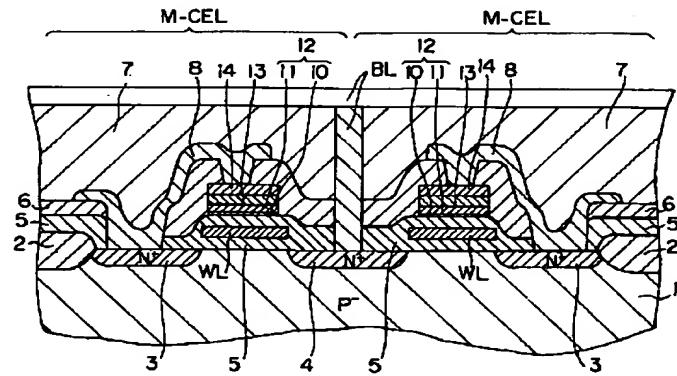
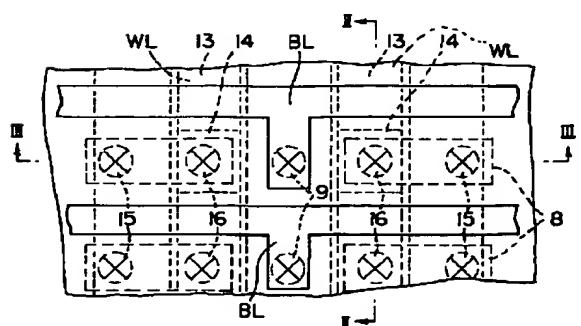


【図2】

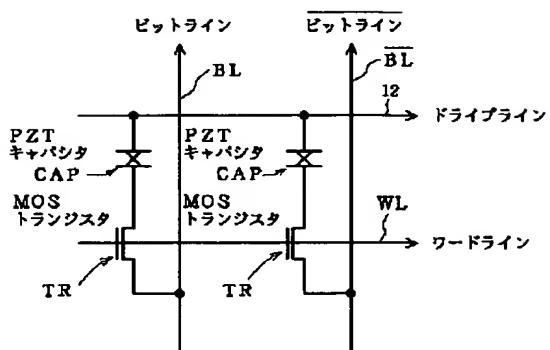


【図3】

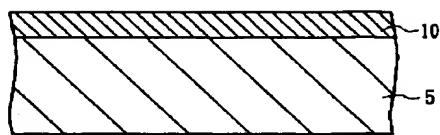
〔图4〕



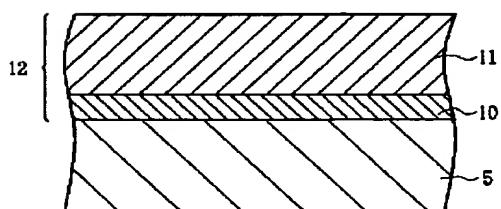
【図5】



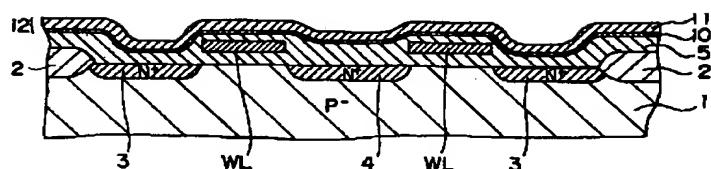
【図6】



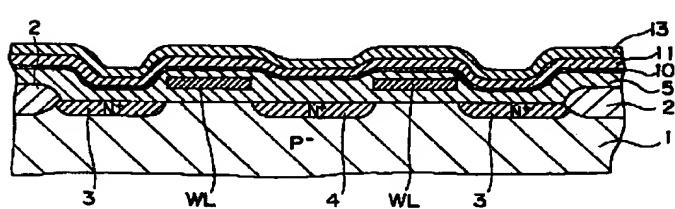
【図7】



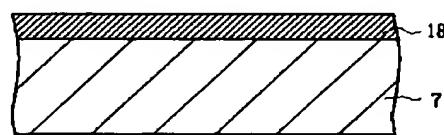
【図8】



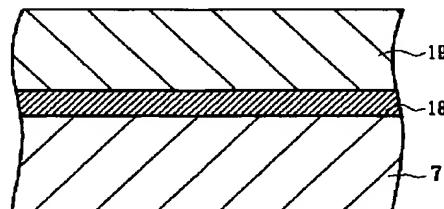
【図9】



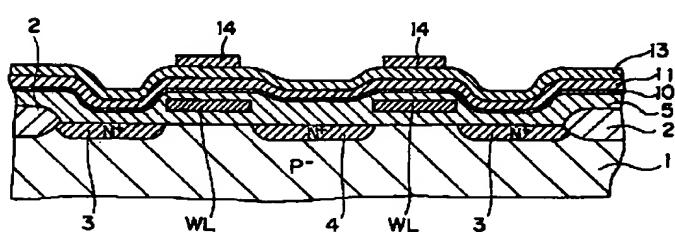
【図18】



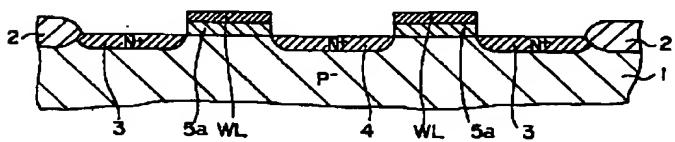
【図19】



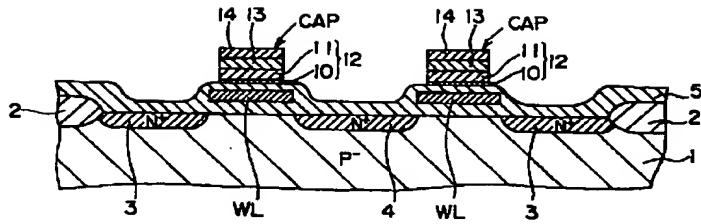
【図10】



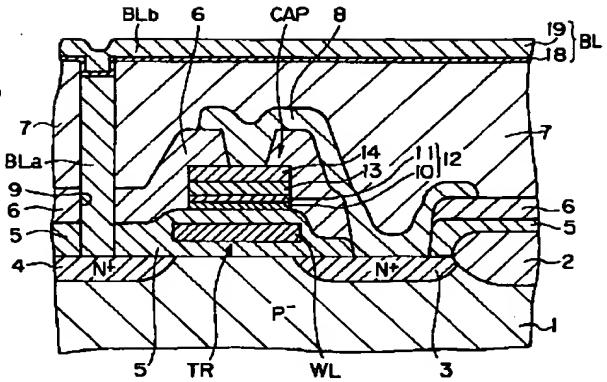
【図24】



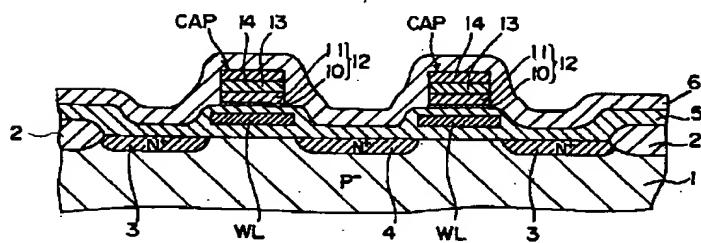
【図11】



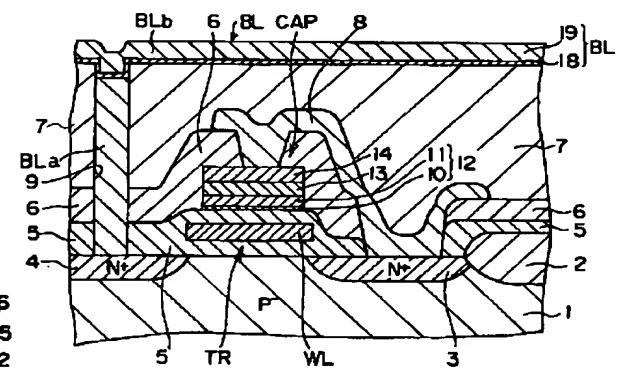
【図20】



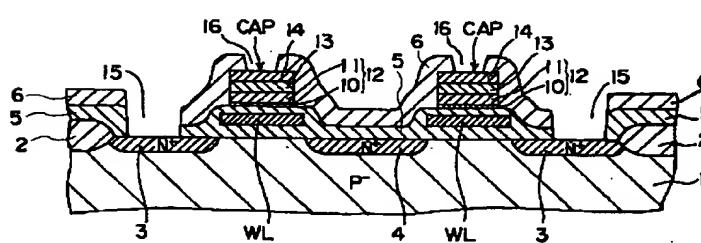
【図12】



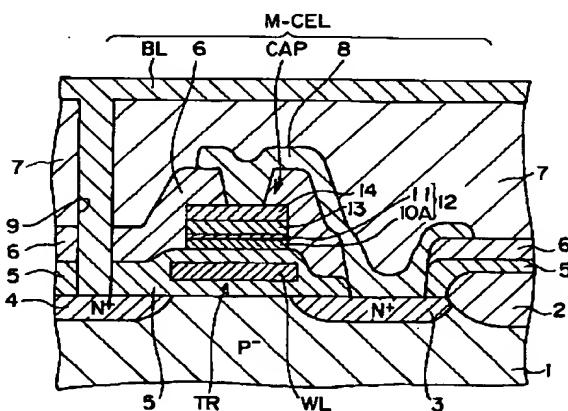
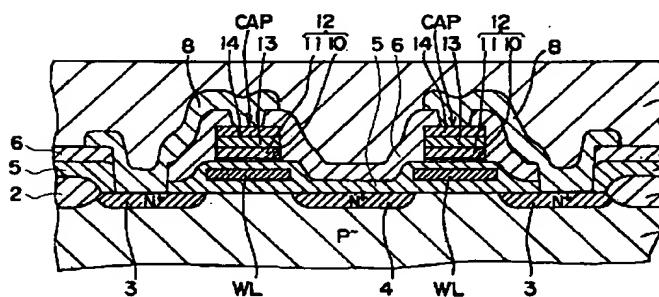
【図21】



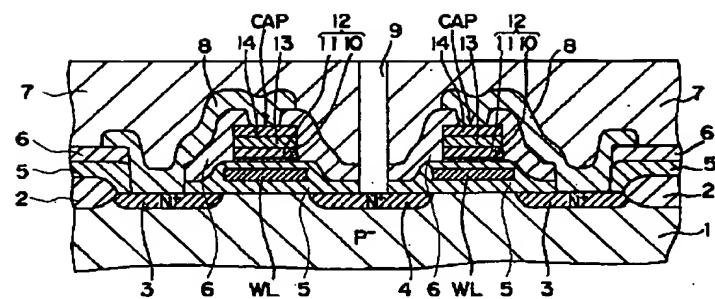
【図13】



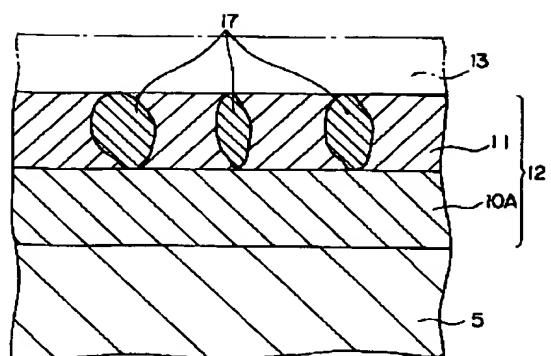
【図22】



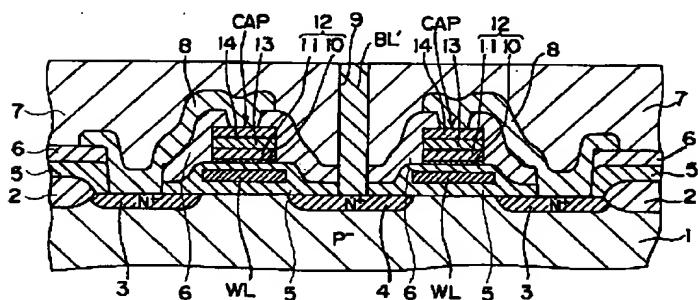
【図15】



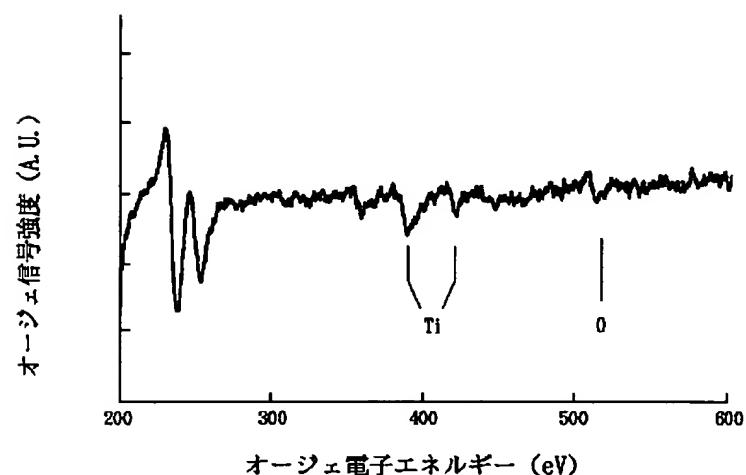
【図33】



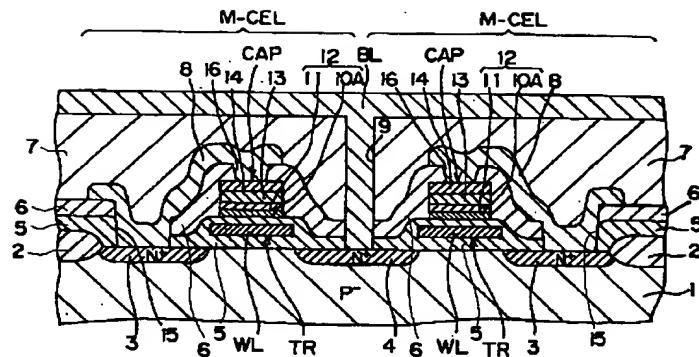
【図16】



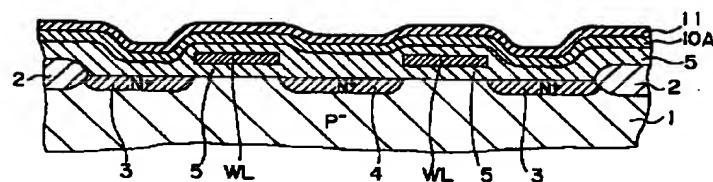
【図17】

Si/SiO<sub>2</sub>(200nm)/Ti(0.5nm)/Pt(100nm)表面のオージェ信号

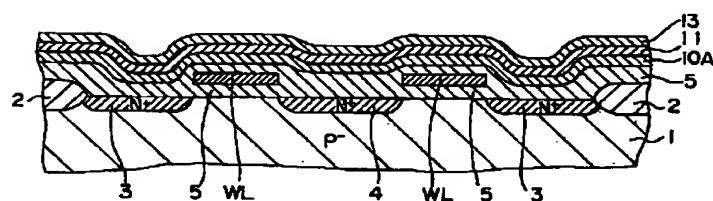
【図23】



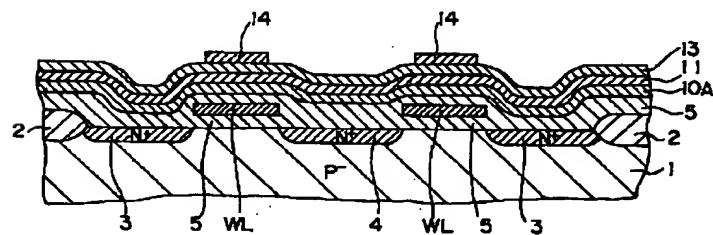
【図25】



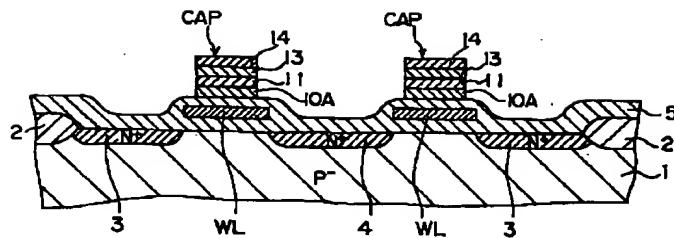
【図26】



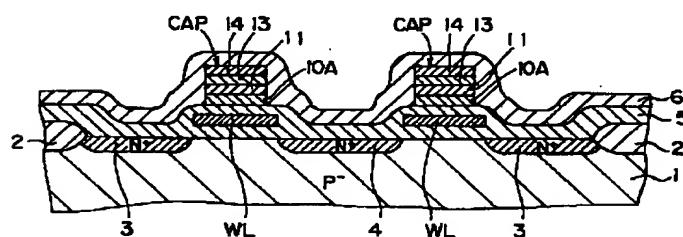
【図27】



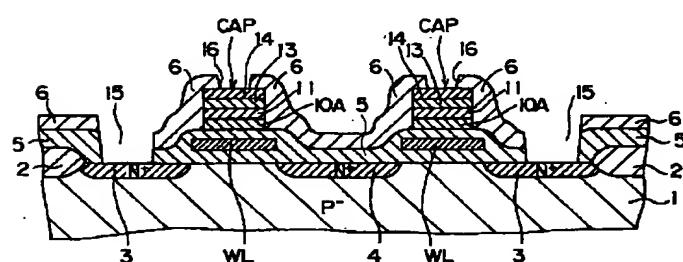
【図28】



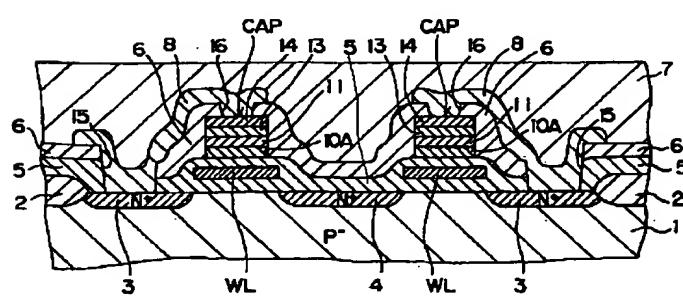
【図29】



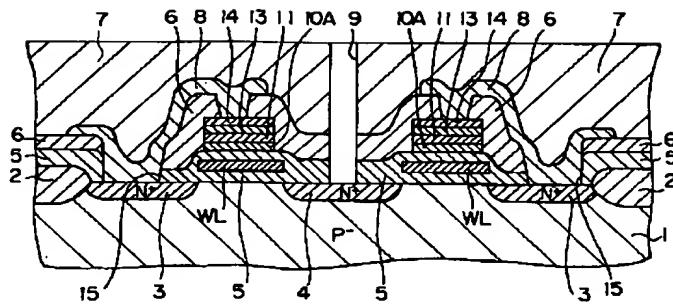
【図30】



【図31】



【図32】



---

フロントページの続き

(51) Int. Cl. 6  
H 01 L 29/792

識別記号 庁内整理番号 F I

技術表示箇所